

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060216

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

G06F 17/50

(21)Application number : 11-236512

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.08.1999

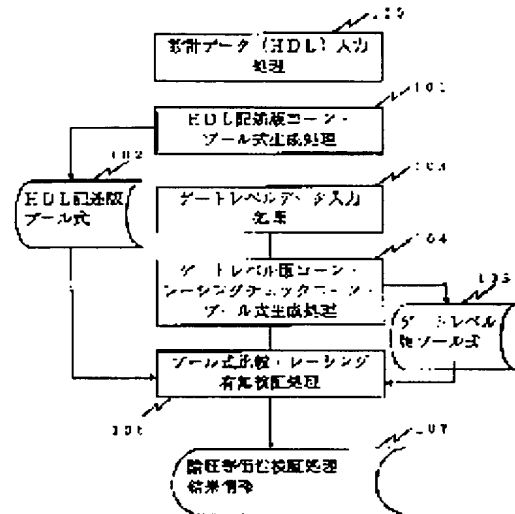
(72)Inventor : SUZUKI SHUSUKE

(54) LOGIC EQUIVALENCE VERIFYING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To decide a discrepancy of logic equivalence by detecting a racing phenomenon.

SOLUTION: Gate level data after logic composition are inputted 103 and when a gate level version cone and a racing checkpoint are present, a subcone (called a racing check cone) having the racing checkpoint as the end point of the cone is generated as additional information on the cone. Then stored information is used to compare cones before and after the logic composition and make cones correspond to each other and the equivalence of logic is examined for every cone which are made to correspond by comparing Boolean expressions as the additional information and racing check cone information.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-60216

(P2001-60216A)

(43) 公開日 平成13年 3 月 6 日 (2001.3.6)

(51) Int.Cl.⁷
G 0 6 F 17/50

識別記号

F I
G 0 6 F 15/60

テーマコード(参考)

6 6 4 G 5 B 0 4 6
6 6 8 U

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平11-236512

(22) 出願日 平成11年 8 月 24 日 (1999.8.24)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 鈴木 秀典

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(74) 代理人 100075096

弁理士 作田 康夫

Fターム(参考) 5B046 AA08 BA03 DA04 JA01 KA06

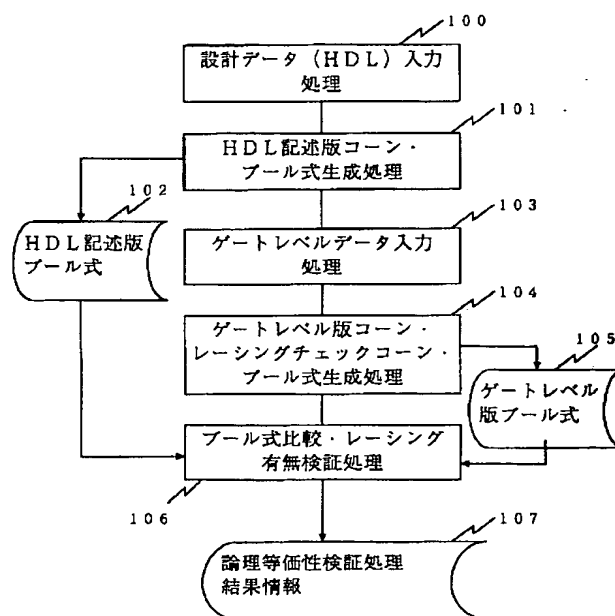
(54) 【発明の名称】 論理等価性検証装置

(57) 【要約】

【課題】レーシング現象を検出し論理等価の不一致を判定する。

【解決手段】論理合成後のゲートレベルデータを入力103し、ゲートレベル版コーンとレーシングチェックポイントが存在する場合は、レーシングチェックポイントをコーンの終点とした、サブコーン(レーシングチェックコーンと呼ぶ)をコーンの付加情報として生成する。次に、記憶情報により論理合成前後のコーンを比較しコーンの対応付けを行い、対応付けられたコーン毎、付加情報であるブル式やレーシングチェックコーン情報比較により、論理の等価性を検証する。

図 1



【特許請求の範囲】

【請求項1】 HDL (Hardware Description Language) 機能設計し、論理合成ツールや人手にてゲートレベル論理を生成した場合の論理合成前後の論理動作の一致検証方式であって、レーシング現象による動作不一致を検出可能とする為、ゲートライブラリにレーシングチェック情報を有し、レーシングチェックポイントをコーンの終端としてサブコーン（本文中では、レーシングチェックコーンと呼んでいる）生成を行い、コーン情報にサブ情報として、サブコーン構成情報を記憶し、論理合成前後のデータでのコーン対応付け後の論理等価性検証時に、サブコーンの構成情報によりレーシング現象の有無を判定し、論理等価性を検証する手段を有することを特徴とする論理等価性検証装置。

【請求項2】 タイミングシミュレーションを実施することなく、レーシング現象による論理等価性不一致を検出可能な手段を有することを特徴とする請求項1に記載の論理等価性検証装置。

【請求項3】 コーン切り出し時に、レーシングチェックポイントよりサブコーンを切り出し、コーンと対でサブコーンの構成情報を記憶する手段を有することを特徴とする請求項1に記載の論理等価性検証装置。

【請求項4】 HDL機能設計し、何らかの手段にてゲートレベルデータへ変換した場合の論理等価性検証の不一致検出精度の向上の為、レーシングチェックが可能な手段を有することを特徴とする請求項1に記載の論理等価性検証装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理等価性の検証技術に関し、HDL機能記述設計されたデータを論理合成や人手作業にてゲートレベル論理へ変換した場合の、論理データ変換前後の等価性を検証する為により有効な技術である。

【0002】

【従来の技術】従来、HDLを利用した機能設計手法において、HDLにて機能設計し、論理合成ツールや人手作業にてゲートレベル論理を生成した場合、論理の等価性を保証する必要がある、従来は、論理生成前後の機能シミュレーションの結果を比較することで、等価性を判定していた。

【0003】しかし、近年のLSIは、大規模かつ高機能となってきたため、LSI内部をすべて動作させるテストパターンを作成することが難しい。そこで、ブル比較に基づく論理等価性を検証する技術である、特開平8-22485号公報に開示された「論理等価性検証方式およびその装置」が利用されるようになった。

【0004】本方式は、FF（フリップフロップ）-FFやFF-エッジ間で囲まれる組み合わせ回路を切り出

し（以下コーンと呼ぶ）、ゲートレベル論理を生成する前後の回路で対応付けを行い、ブル比較手法にて、論理の等価の可否を判定するものであった。

【0005】

【発明が解決しようとする課題】しかし、前記従来方式のブル比較方式は、ゲートレベル論理を生成する際の機能動作に関する生成不良を検出することは可能であるが、ゲートディレイを考慮した回路を生成した場合は、等価性の検証結果は保証できない。これは、図2のような論理合成前回路200を論理合成が論理合成後回路201のように生成した場合、ブル比較手法では等価と判定された回路が、タイミングシミュレーションを実施すると、タイムチャート202の通り、*1、*2の信号の立ち下がりにてレーシング203が発生し、出力Q_—P信号の論理値は不確定値'X'204となり、機能不一致となる。

【0006】したがって、ブル比較手法を用いた検証手法を利用した場合も、ゲートレベルでのタイミングシミュレーションを実施する必要がある、すべての動作をテストするテストデータを作成しなくてはならないという、従来手法からの問題点が再発している。

【0007】本発明の目的は、ブル比較手法をベースとして、タイミングシミュレーションでないと検出不可能であった、レーシング現象を検出し指摘することで、論理等価性の一致/不一致検証精度を向上することにある。

【0008】

【課題を解決するための手段】本発明の論理等価性検証装置は、従来のFF間のコーン切り出し論理をブル比較手法にて一致検証する機能に、データとクロックがレーシングしている現象を検出する機能を付け加えることにより、ゲートレベルシミュレーション無しに論理の等価性を保証できるものである。

【0009】この為、ゲートレベルのライブラリに従来の機能動作式（ブル式）に加え、レーシングチェック対象ピンの組み合わせ情報を入力可能とする。本組み合わせのデフォルト値は、FFのデータピンとクロックピンとし、ユーザによるカスタマイズを可能とする。又、SRラッチ素子に関しても、コーン切り出しの対象ポイントとして取り扱うようにする。

【0010】レーシングチェックにおいては、ゲートレベル回路でのコーン切り出し時、FFのライブラリに定義した、レーシングチェック組み合わせ情報を読みとり、レーシングチェック情報の定義がある場合は、本チェックポイントより、ファンイントレースして検出した、コーン（以下、レーシングチェックコーンと呼ぶ）の入力素子インスタンスまたは入力エッジ信号名を記憶手段にて記憶する。

【0011】本記憶情報は、論理等価性検証時、同一コーン内に複数のレーシングチェックコーンが存在し、レ

レーシングチェックコーン構成集合情報が全て一致した場合は、レーシングチェックポイントへのイベント伝搬元が全て同じであることを意味する。従って、全てのチェックポイントが同時に変化するレーシング現象となる。本現象が、FFのデータピンとクロックピンに発生した場合は、ゲートレベルでの論理動作は保証できない。従って、ブール比較手法にて等価判定された回路でも、論理不一致と再判断し、不一致情報の出力を可能とする。

【0012】これにより、従来タイミングシミュレーションでしか検出不可能であった、レーシング現象を、テストデータを準備することなく、検出可能とする。

【0013】

【発明の実施の形態】図1は、本発明の一実施の形態である論理等価性検証方法の作用の一例を示すフローチャート。図3は、HDL記述設計データのコーンとブール式を抽出する方法の一例を示す概念図。図4はゲートレベルデータの場合のコーンとレーシングチェックコーン及びブール式を抽出する為のフロー図。図5は、ゲートレベルデータで、レーシングチェックポイントを持たない場合のコーンとブール式を抽出する方法の一例を示す概念図。図6は、ゲートレベルデータでレーシングチェックポイントを持つ場合のコーンとブール式及びレーシングチェックコーンを抽出する方法の一例を示す概念図。図7は、本発明の一実施の形態である論理等価性検証装置の構成の一例を示す概念図である。

【0014】まず、図7にて、本実施の形態における論理等価性検証装置の構成の一例を説明する。システムバス700には、全体の動作を制御するマイクロプロセッサ702、マイクロプロセッサ702の制御を行う基本ソフトウェアやユーザプログラム（本実施の形態の場合、図1のフローチャートのような処理を行う論理等価性検証プログラム）や、後述のような論理等価性検証の過程で用いられる各種制御情報が格納される主記憶705、論理等価性検証プログラムや、後述の論理等価性検証の対象となる設計データ等の情報が格納されるHDD装置等の外部記憶装置706、論理図や処理結果情報等の情報を操作者に可視化して提供するディスプレイ701、操作者がコマンドやデータの入力操作に用いるキーボード703、マウス等のポインティングデバイス704、等が接続されている。

【0015】論理等価性検証プログラムは、任意の契機で外部記憶装置706から主記憶705にロードされて起動することにより、後述の図1～図6に例示される本実施の形態の論理等価性検証方法を実施する。また、この論理等価性検証プログラムの実行過程の情報は、必要に応じてディスプレイ701に出力される。

【0016】図1は、本実施の形態の論理等価性検証の全体フロー図であり、すべての処理は、論理等価性保証プログラムにて自動処理される。設計データ（HDL）入力処理100は、HDL記述の設計データを外部記憶

装置706より入力する。次にHDL記述版コーン・ブール式生成処理101において、外部記憶装置706より読みとったHDLデータをコーン情報301とコーン単位ブール式302を生成し主記憶705へ格納する。次に既に読み込み済みHDL記述設計データと論理等価検証する為のゲートレベルデータを外部記憶装置706より読み込む。次にゲートレベル版コーン・レーシングチェックコーン・ブール式生成処理104にて、コーン情報502とコーン単位ブール式503、レーシングチェックコーン情報603を生成し主記憶705へ格納する。その後、主記憶上の、生成コーン情報により、HDL記述版とゲートレベル版のコーンの対応付けを実施し、対応付けられたコーン単位ブール式の比較の一致と、レーシングチェック情報の比較により、HDL記述データとゲートレベルの論理等価性の可否を判定し、判定結果をディスプレイ701と外部記憶装置706へ出力する。

【0017】以下、HDL記述設計データのコーン・ブール式生成を図3、ゲートレベルデータのコーン・レーシングチェックコーン・ブール式生成を図4～6にて詳細に説明する。

【0018】図3に示されるHDL記述設計データ300は、構文解析によりFFまたは論理等価性保証対象最上位階層のエッジ信号よりファンイントレースされ、FFまたは論理等価性保証対象最上位階層のエッジ信号に到達するまでトレースする。実施例300のHDLにて実施した場合は、エッジ信号C310よりトレースを開始し、エッジ信号A311とB312に到達する。従って、生成コーンとしては、 $C = \{A, B\}$ を集合体とする、一つのコーンを生成することができる。また、生成コーンCに対して、機能動作を表すブール式302 $C = A \text{ and } B$ を生成し、生成コーン情報313とコーン単位ブール式情報302を対にして、主記憶装置705のHDL記述版710へ記憶する。

【0019】次に、図4は、HDL記述設計データと比較される、論理合成または人手作業等によって生成されたゲートレベルデータのコーン生成とレーシングチェックコーン生成及びブール式生成処理部の部分フローである。実施事例としては、図5ゲートレベル設計データ500の一例を示し説明すると、本例題には、ゲート素子AND2 510が存在する。AND2の動作内容は、外部記憶装置706のゲートライブラリ内に記述されており、ゲートライブラリ構成501は、I/O情報、機能動作情報（ブール式等）、レーシングチェックポイント情報を有する。レーシングチェックポイント情報に関しては、後述にて詳細に述べる。

【0020】図4のゲートライブラリ展開処理401は、図5のゲートレベル設計データ500を読みとりゲートレベル素子の位置を検索する。本実施例では、AND2510がゲートレベル素子であることを認識する。

各ゲートレベル素子に於いては、ゲートライブラリ501を読みとり、該当素子のゲートライブラリ構成501のI/O情報、ブール式情報を組み込み、一時的にゲートレベルデータをHDL記述設計データへ変換する処理が行われる。HDL形式へ変換されたデータは、HDL記述設計データのコーン・ブール式生成処理部を流用し、コーン生成502とコーン集合511 $C = \{A, B\}$ とコーン単位ブール式抽出503 $C = A \text{ and } B$ を生成し、図7の外部記憶装置705のゲートレベル版情報711として記憶される。

【0021】本記憶データは、図1のブール比較処理106部において、コーン集合情報により対応付けがなされる。本実施例では、 $C = \{A, B\}$ が対応付けられ、それぞれのコーン集合が保有する、コーン単位ブール式の情報図3の302、図5の503が一致することにより、論理合成前後の論理動作は一致したと判定できる。

【0022】一方、図6のゲートレベルデータの一例で示すような、D Latch Type FF610を持つ回路に対しては、ゲートライブラリ情報601内のレーシングチェックポイントに於いて、 $CK = D$ 等613の情報を有する部分が存在する。これは、CKピン611と、Dピン612が同時に変化するかをチェックし、同時変化が有る場合は、論理等価不一致とすることを意味する。図4のレーシングチェックポイント有無の判定処理403では、レーシングチェックポイント有りと判断され、レーシングのチェックポイントをコーンの入力端子として図6の初期コーン613を生成する。

【0023】次に図4のレーシングチェックポイントをコーン終端と見立てたコーン生成処理406を実施する。これにより生成されたコーンをレーシングチェックコーンと呼び、614、615の2つのレーシングチェックコーンを抽出する。又、レーシングチェックコーン情報としては、コーン構成要素を、それぞれ $CK = \{S, R\}$ および $D = \{S, R\}$ 603の集合情報として生成する。

【0024】生成された情報は、図4のレーシングチェックコーン情報の保存処理406にて、生成コーン $Q = \{S, R\}$ 集合の付加情報として、図7の主記憶装置705のレーシングチェックコーン712に $CK = \{S, R\}$ 、 $D = \{S, R\}$ として記憶される。本記憶データは、図1のレーシング有無検証処理106にてレーシングチェックコーン情報が存在する場合で、全てのレーシングチェックコーンの集合要素が一致した場合に、レーシングが発生したと判定し、論理不一致情報をディスプレイと、外部記憶装置706の論理等価性検証処理結果情報713へ出力する。本例では、レーシングチェックコーンCKとDの集合要素は共に $\{S, R\}$ となり全てのレーシングチェックコーンの集合要素が一致したことにより、論理不等価と判定できる。

【0025】これにより、図2で示したHDL記述デー

タ200を論理合成または人手にて変換したデータ201にてシミュレーションを実施することなく、論理的に不一致の回路であることを指摘可能とすることができ

る。
【0026】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0027】

【発明の効果】本発明の論理等価性検証装置によれば、HDL記述設計にて作成したデータを論理合成または人手作業等によって変換したゲートレベルのデータと機能の等価性を検証する場合において、FFの素子のデータピンとクロックピンが同時に変化するようなレーシング現象を有する回路を生成した場合の論理不一致を検出することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である論理等価性検証方法の作用の一例を示すフローチャートである。

【図2】従来技術のブール比較手法のみによる、論理等価性検証手法で検出不可能な論理変換例を示す概念図である。

【図3】本発明の一実施例である論理等価性保証方法におけるHDL記述論理のコーン情報生成の一例を示す概念図である。

【図4】本発明の一実施例である論理等価性保証方法におけるゲートレベルデータのコーン情報生成の一例を示すフローチャートである。

【図5】本発明の一実施例である論理等価性保証方法におけるゲートレベルデータレーシングチェックポイントを有しない場合のコーン情報生成の一例を示す概念図である。

【図6】本発明の一実施例である論理等価性保証方法におけるゲートレベルデータレーシングチェックポイントを有する場合のコーン情報生成の一例を示す概念図である。

【図7】本発明の一実施の形態である論理等価性検証装置の構成の一例を示す概念図である。

【符号の説明】

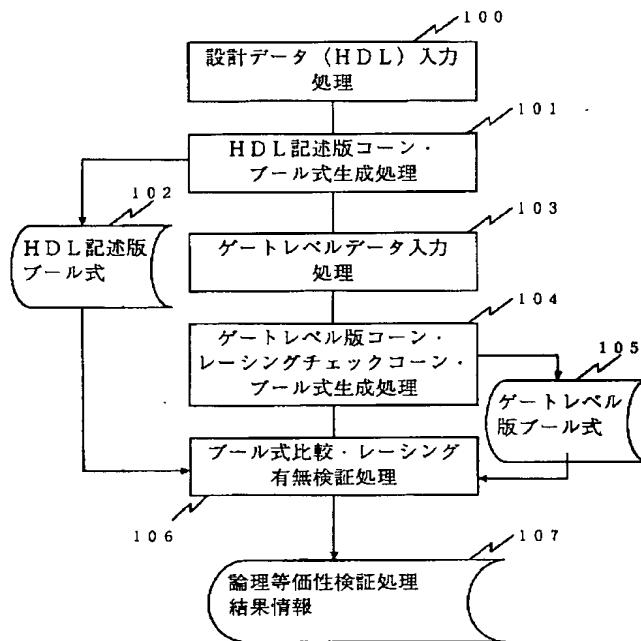
100～107・・・論理等価性保証プログラムフローチャート内機能処理部位、200・・・論理合成前回路、201・・・論理合成後回路、202・・・タイミングシミュレーション時タイムチャート、203・・・レーシング現象、204・・・論理値不確定、300・・・HDL記述設計データ、301・・・コーン生成、302・・・コーン単位ブール式、310～312・・・エッジ信号、313・・・生成コーン情報、401～407・・・ゲートレベルデータ処理部のフローチャート内機能処理部位、500・・・ゲートレベルデータ、501・・・ゲートライブラリ情報、502・・・生成

コーン、503・・・コーン単位ブール式、510・・・ゲートレベル素子、511・・・生成コーン情報、600・・・ゲートレベルデータ、601・・・ゲートライブラリ情報、602・・・生成コーン、603・・・レーシングチェックコーン情報、613・・・初期コーン、614～615・・・レーシングチェックコーン、

700・・・システムバス、701・・・ディスプレイ、702・・・マイクロプロセッサ、703・・・キーボード、704・・・ポインティングデバイス、705・・・主記憶、706・・・外部記憶装置、710～712・・・コーン・ブール式情報。

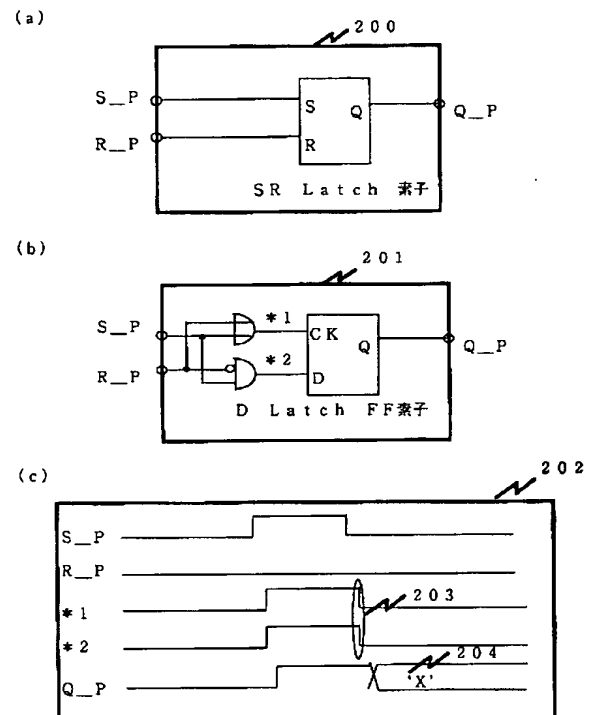
【図1】

図 1



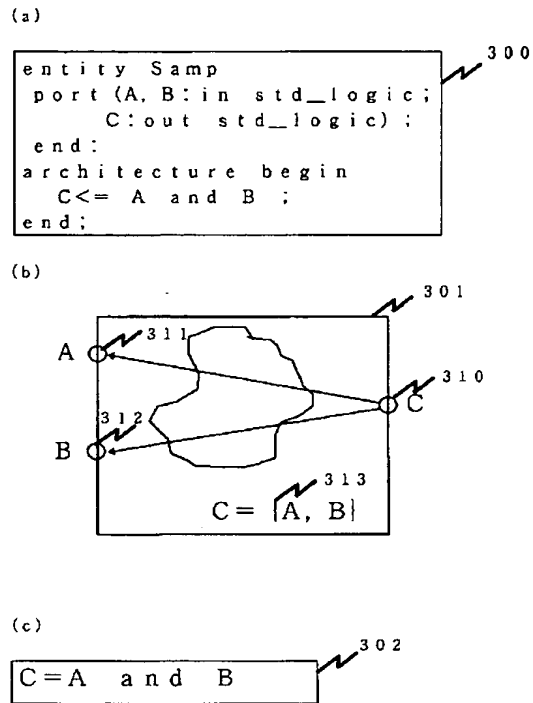
【図2】

図 2



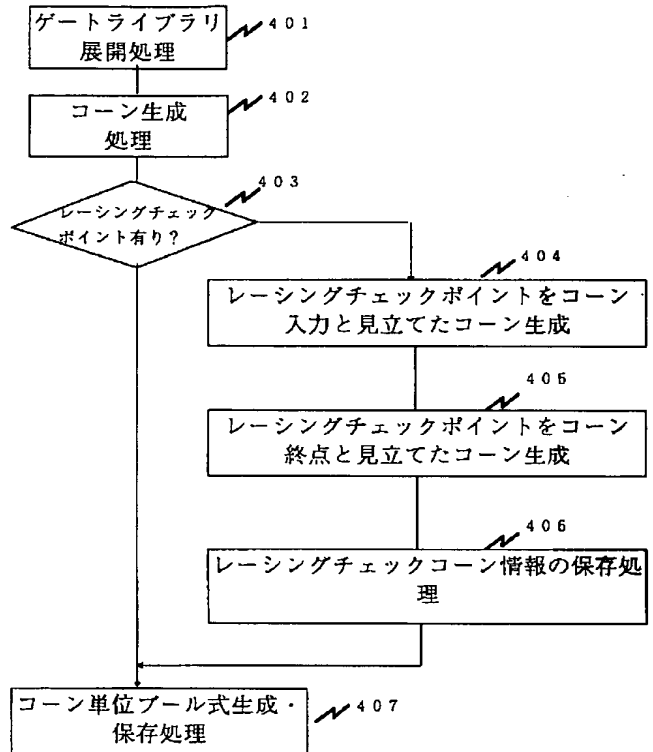
【図3】

図 3

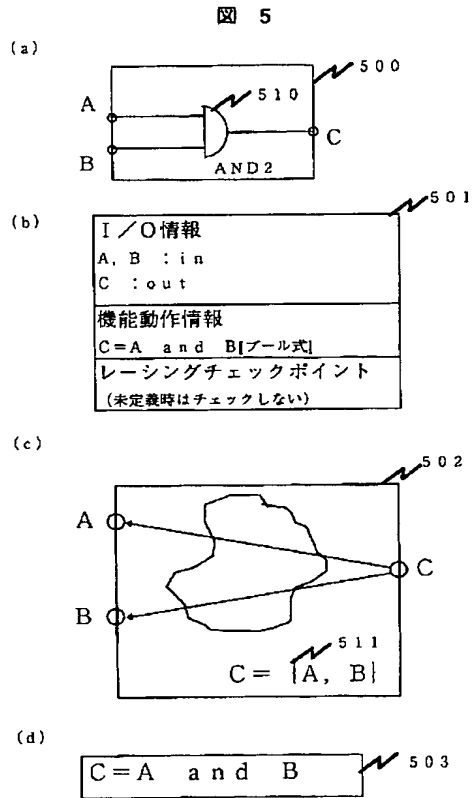


【図4】

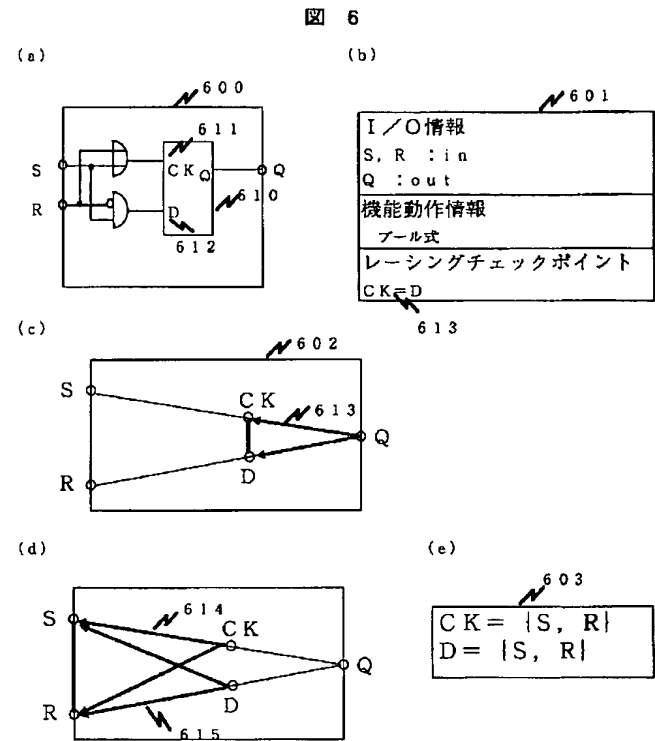
図 4



【図5】



【図6】



【図7】

